



## Computersysteme Wintersemester 2017/2018

### Serie 12

Ausgabetermin: Freitag, 26.1.2018

Abgabetermin: Mittwoch, 7.2.2018, 18:00 Uhr im Schrein

**Bitte klammern oder heften Sie Ihre Abgabebblätter geeignet zusammen und notieren Sie sowohl Ihre Namen als auch Ihre Gruppennummer auf der Abgabe!**

**Sofern in Ihrer Übungsgruppe keine andere Vereinbarung getroffen wird, können Sie die korrigierten Abgaben zu Serie 12 am Mittwoch, den 14.2. zwischen 12 Uhr und 12.15 Uhr in HRS3, R510 abholen.**

## Hausaufgaben

### Aufgabe 1

Wir betrachten eine mit 4 GHz getaktete Maschine mit und ohne Cache.

Auf dieser soll ein Programm mit  $4 \cdot 10^8$  Maschineninstruktionen ausgeführt werden. Die CPI mit perfektem Cache ist 1,7. Die Miss-Penalty ist 20 Zyklen, die Miss-Rate 5% und die durchschnittliche Anzahl der Zugriffe pro Instruktion 1,6.

- Wie ist die CPU-Zeit, wenn kein Cache vorhanden ist?
- Wie ist die CPU-Zeit mit Cache?
- Welchen Speedup liefert die Benutzung des Cache also?

10, 10, 5 Punkte

### Aufgabe 2

Vergleichen Sie zwei verschiedene Cache-Organisationen über die CPU-Performance: Die CPI mit perfektem Cache ist 2, Zykluszeit 0,25 ns. Jede Instruktion hat durchschnittlich 0,4 Datenspeicherzugriffe. Die Maschine hat einen 64 Kbyte Unified Cache mit 32 Byte Blöcken. Verglichen werden sollen zwei Alternativen der Organisation des Caches:

Ein Cache ist direct mapped, der andere 2-Weg assoziativ. Der 2-Weg-assoziative Cache braucht einen zusätzlichen Multiplexer, der durch den Tag-Match gesteuert wird. Über diesen Mux wird das richtige der zwei möglichen Daten ausgewählt. Dadurch muss der Takt um einen Faktor 1,1 langsamer werden. Sei die Penalty für den direct mapped Cache 29 Zyklen und für den 2-Weg-assoziativen Cache wegen der längeren Zykluszeit nur 25 Zyklen.

Berechnen sie die durchschnittliche Zugriffszeit und die CPU-Performance.

Gehen Sie von einer Miss-Rate für den direkt gemappten Cache von 1,6% und für den 2-Weg-assoziativen Cache von 1,1% aus.

15 Punkte

### Aufgabe 3

Ein Prozessor mit 128 MB großem Hauptspeicher hat einen 16 KByte großen 8-Weg-assoziativen Cache mit Blöcken von 64 Byte.

- (a) Skizzieren Sie die Interpretation der Hauptspeicheradresse in Hinsicht auf den Cache.
- (b) Wie viele Bits haben Tag, Index und Offset?
- (c) In welcher Menge kann das Byte mit der Adresse  $(195654)_{10}$  im Cache gespeichert werden?
- (d) Wo im Cache würde es stehen, wenn dieser direct-mapped wäre?

10, 5, 10, 10 Punkte

### Aufgabe 4

Ein Prozessor hat einen 16 KB großen L1-Cache mit einer Hit-Zeit von 1 Taktzyklus, einen 256 KB großen L2-Cache und einen 16 MB großen L3-Cache. Der Zugriff auf den L2-Cache dauert 5 Zyklen, der auf den L3-Cache 36 Zyklen und die Miss-Penalty für den L3-Cache ist 200 Zyklen. Die globale Miss-Rate für L1 ist 10%, die für L2 0,5% und die für L3 0,02%.

- (a) Wie ist die durchschnittliche Zugriffszeit (DZZ)?
- (b) Wie wäre sie, wenn nur der L1-Cache vorhanden wäre?

10, 5 Punkte

### Aufgabe 5

- (a) Multiplizieren Sie die Zahlen  $(3BD7)_{16}$  und  $(4EAA)_{16}$  im Hexadezimalsystem.
- (b) Bilden Sie die DMF und die KMF von folgender Funktion:

$$y = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}b\bar{c}\bar{d} + a\bar{b}c\bar{d} + \bar{a}b\bar{c}d + \bar{a}\bar{b}c\bar{d} + \bar{a}b\bar{c}d + \bar{a}\bar{b}cd$$

- (c) Wie viel Fläche benötigt ein 61-Bit-Carry-Select-Addierer mindestens, wenn man davon ausgeht, dass Volladdierer sowie 1-Bit-Multiplexer jeweils eine Flächeneinheit einnehmen?
- (d) Was bezeichnet man als FAN-In eines Gatters?
- (e) Welche Stufen gibt es in der aus der Vorlesung bekannten DLX-Pipeline? Welche Aufgaben erfüllen die einzelnen Stufen?

2, 2, 2, 2, 2 Punkte