

Aufgabe 1

Es seien die Ausgabefunktionen

$$y_2 = x_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 + x_3 x_1$$

$$y_1 = x_3 \bar{x}_2 + \bar{x}_3 \bar{x}_2 x_1$$

gegeben. Durch scharfes Hinsehen bzw. durch Bilden der KDNF oder KKNF und minimieren durch KV-Diagramme bzw. Anwendung des Algorithmus von Quine und McCluskey ergeben sich folgende DMF:

$$y_2 = \bar{x}_3 x_2 + x_3 x_1$$

$$y_1 = x_3 \bar{x}_2 + \bar{x}_2 x_1.$$

Es ergibt sich folgende Darstellung von y_2 und y_1 als PLA mit verdrahteter Logik:

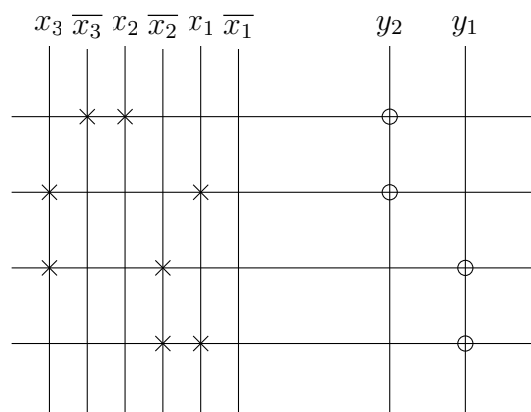


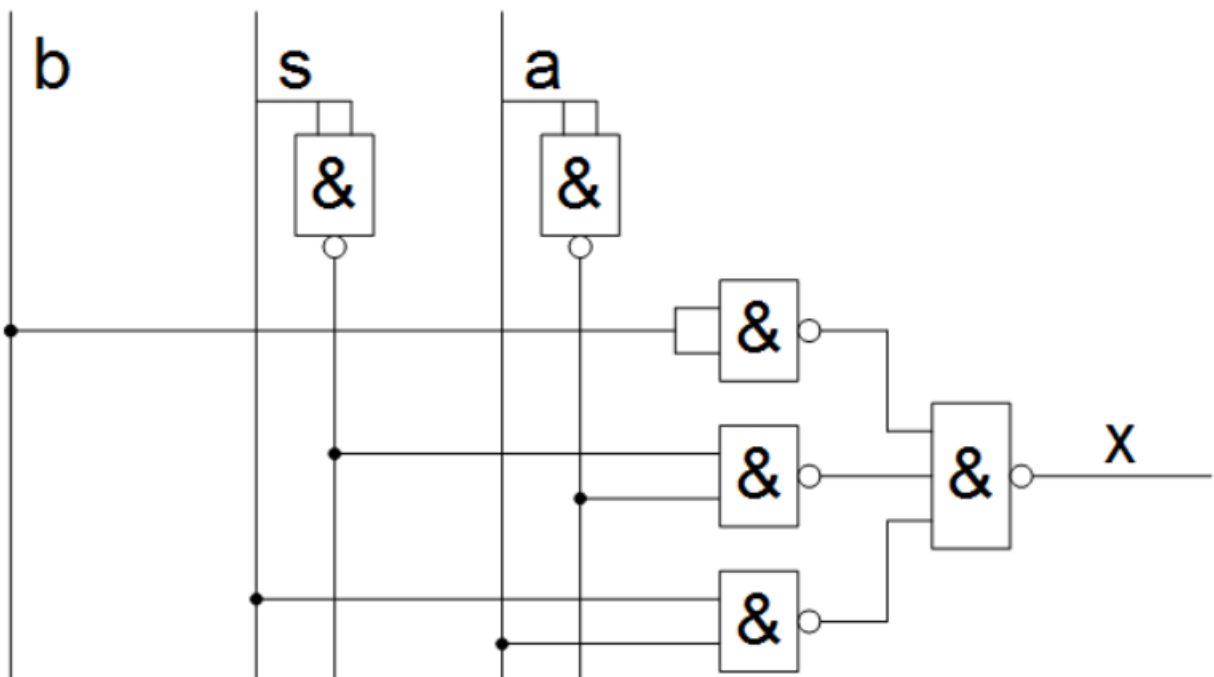
Abbildung 1: PLA von y_2 und y_1

Aufgabe 2

- (a) Um ausschließlich NAND-Gatter zu verwenden, werden in der konjunktiven Minimalform für x alle AND-Gatter und OR-Gatter durch NAND-Gatter ersetzt. Das NAND-Gatter kann auch als Inverter eingesetzt werden, indem beide Eingänge mit der zu invertierenden Variablen belegt werden (siehe Skript 2.6.5). Alternativ ergibt sich durch Rechnung:

$$\begin{aligned}
 x &= b + \bar{s}\bar{a} + sa \\
 &\stackrel{S9}{=} \overline{\overline{b + \bar{s}\bar{a} + sa}} \\
 &\stackrel{S12}{=} \overline{\bar{b} \cdot \overline{\bar{s}\bar{a}} \cdot \overline{sa}} \\
 &\stackrel{S4}{=} \overline{\bar{b} \cdot \bar{b} \cdot \overline{\bar{s}\bar{a}} \cdot \overline{sa}}
 \end{aligned}$$

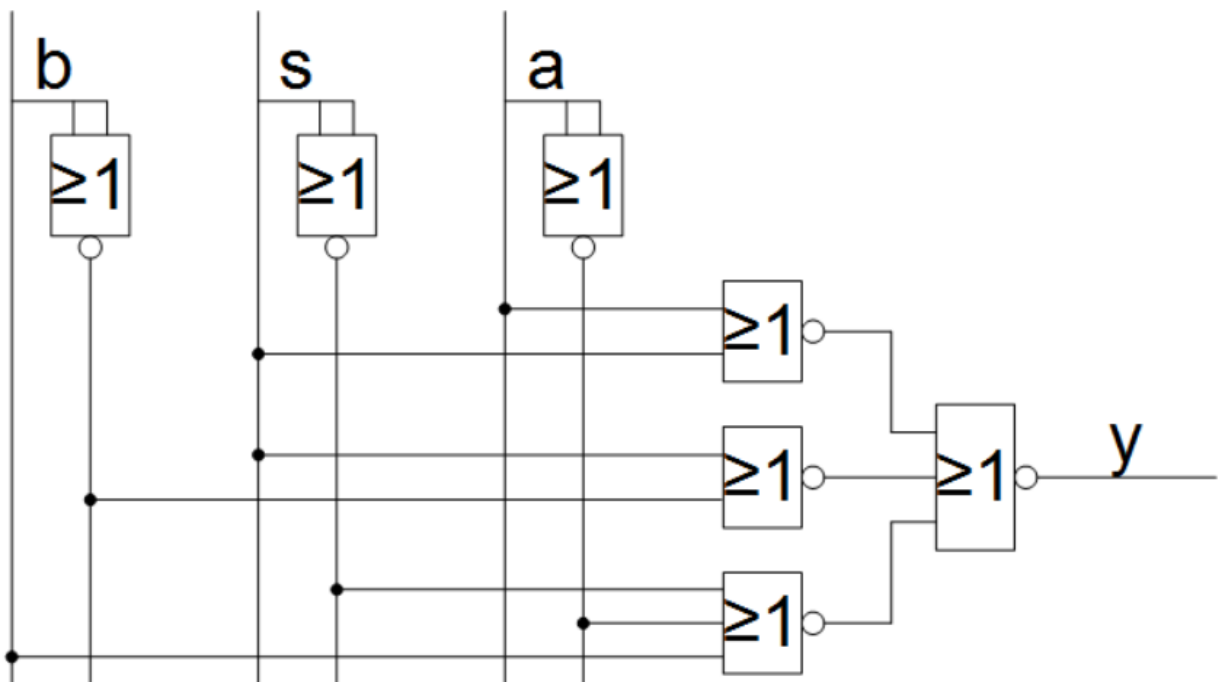
Es ergibt sich das folgende Schaltnetz mit ausschließlich NAND-Gattern für x :



- (b) Um ausschließlich NOR-Gatter zu verwenden, werden in der konjunktiven Minimalform für y alle AND-Gatter und OR-Gatter durch NOR-Gatter ersetzt. Das NOR-Gatter kann auch als Inverter eingesetzt werden, indem beide Eingänge mit der zu invertierenden Variablen belegt werden (siehe Skript 2.6.5). Alternativ ergibt sich durch Rechnung:

$$\begin{aligned}
 y &= (a + s) \cdot (s + \bar{b}) \cdot (\bar{s} + \bar{a} + b) \\
 &\stackrel{S9}{=} \overline{\overline{(a + s) \cdot (s + \bar{b}) \cdot (\bar{s} + \bar{a} + b)}} \\
 &\stackrel{S11}{=} \overline{\overline{(a + s)} + \overline{\overline{(s + \bar{b})}} + \overline{\overline{(\bar{s} + \bar{a} + b)}}} \\
 &\stackrel{S3}{=} \overline{\overline{(a + s)} + \overline{\overline{(s + \bar{b} + b)}} + \overline{\overline{(s + \bar{s} + \bar{a} + a + b)}}}
 \end{aligned}$$

Es ergibt sich das folgende Schaltnetz mit ausschließlich NOR-Gattern für y :



- (c) Um die benötigten Transistoren zu berechnen, betrachten wir zunächst jeweils KMF und DMF von beiden Funktionen.

$$\text{DMF}(x) = b + \bar{s}\bar{a} + sa$$

$$\text{KMF}(x) = (\bar{s} + a + b) \cdot (s + \bar{a} + b)$$

$$\text{DMF}(y) = sb + s\bar{a} + \bar{s}a\bar{b}$$

$$\text{KMF}(y) = (a + s) \cdot (s + \bar{b}) \cdot (\bar{s} + \bar{a} + b)$$

Wir suchen einen Aufbau mit möglichst wenig Transistoren. Für jedes Vorkommen einer Variable benötigen wir zwei Transistoren: einen Transistor im p-Block und einen im n-Block. Wir gehen weiterhin davon aus, dass jede Variable sowohl invertiert als auch nicht-invertiert vorliegt, sodass für die eventuell benötigten Invertierungen keine zusätzlichen Transistoren gezählt werden müssen.

Es lassen sich zunächst durch logische Umformungen der DMF und KMF noch weitere Transistoren einsparen:

$$x = b + \bar{s}\bar{a} + sa$$

Diese Funktion lässt sich nicht umformen. Wir benötigen 10 Transistoren.

$$x = (\bar{s} + a + b) \cdot (s + \bar{a} + b) \stackrel{A3}{=} ((\bar{s} + a) \cdot (s + \bar{a})) + b$$

Mit dieser Umformung benötigen wir 10 Transistoren.

$$y = sb + s\bar{a} + \bar{s}a\bar{b} \stackrel{2malA1,A3}{=} (b + \bar{a}) \cdot s + \bar{s}a\bar{b}$$

Mit dieser Umformung benötigen wir 12 Transistoren.

$$y = (a + s) \cdot (s + \bar{b}) \cdot (\bar{s} + \bar{a} + b) \stackrel{A1,A3}{=} (a\bar{b} + s) \cdot (\bar{s} + \bar{a} + b)$$

Mit dieser Umformung benötigen wir 12 Transistoren.

Im Fall von x werden also in jedem Fall 10 Transistoren benötigt, im Fall von y in jedem Fall 12 Transistoren. Diese Lösung zeigt für x den Weg über die DMF und für y den Weg über die KMF.

Um den n-Block mit der invertierten Funktion zu belegen, muss die Funktion invertiert werden. Durch Anwendung der Regeln von De Morgan (Boolsche Algebra Satz 11 und Satz 12) und der Booleschen Algebra erhält man:

$$\begin{aligned} \bar{x} &= \overline{b + \bar{s}\bar{a} + sa} \\ &= \bar{b} \cdot (s + a) \cdot (\bar{s} + \bar{a}) \end{aligned}$$

und

$$\begin{aligned} \bar{y} &= \overline{(a\bar{b} + s) \cdot (\bar{s} + \bar{a} + b)} \\ &= (\bar{a} + b) \cdot \bar{s} + sa\bar{b} \end{aligned}$$

Ein OR-Gatter realisieren wir durch Parallelschaltung zweier Transistoren, ein AND-Gatter durch Reihenschaltung:

