



Computersysteme

Wintersemester 2017/2018

Serie 6

Ausgabetermin: Freitag, 24.11.2017

Abgabetermin: Freitag, 08.12.2017, 08:00 Uhr im Schrein

Bitte klammern oder heften Sie Ihre Abgabebblätter geeignet zusammen und notieren Sie sowohl Ihre Namen als auch Ihre Gruppennummer auf der Abgabe!

Präsenzaufgaben

Aufgabe 1

Konstruieren und zeichnen Sie zwei verschiedene 10-Bit-Carry-Select-Addierer mit von Ihnen gewählten Aufteilungen. Bestimmen Sie für jeden der beiden Addierer die benötigte Gesamtfläche und die benötigte Gesamtzeit sowie das Produkt aus beiden.

Gegeben sei hierfür folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit, 1 ZE. A ist die Gesamtfläche, T ist die Gesamtzeit.

Aufgabe 2

Gegeben sei folgende Funktion:

$$f = x_3 x_2 x_0 + x_3 x_2 \bar{x}_0 + x_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 x_1$$

- Minimieren Sie die Funktion mit dem Verfahren von Quine und McCluskey
- Realisieren Sie die DMF von f als CMOS-Komplexgatter. Sie können dabei davon ausgehen, dass alle Eingangssignale sowohl in invertierter als auch in nicht invertierter Form vorliegen. Eine Optimierung der DMF im Hinblick auf die Transistorenzahl soll bei dieser Aufgabe nicht erfolgen.

Hausaufgaben

Aufgabe 1

Gegeben sei folgende Funktion: $f = \bar{a}\bar{b}cd + \bar{a}bc\bar{d} + ab + \bar{a}\bar{b}cd$

- Minimieren Sie die Funktion mit dem Verfahren von Quine und McCluskey
- Realisieren Sie f als Komplexgatter mit minimaler Anzahl von Transistoren. Sie können dabei davon ausgehen, dass alle Eingangssignale sowohl in invertierter als auch in nicht invertierter Form vorliegen.

5, 15 Punkte

Aufgabe 2

Gegeben sei folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit, 1 ZE.

A ist die Gesamtfläche, T ist die Gesamtzeit.

- Konstruieren Sie einen 59-bit-Carry-Select-Addierer, der eine Addition in $T = 13$ ZE durchführt.
- Wie lange braucht ein 59-bit-Carry-Select-Addierer mindestens, um eine Addition durchzuführen? Geben Sie eine mögliche Konfiguration an.
- Entwerfen Sie ein Schaltnetz aus Volladdierern (VA) und Multiplexern (MUX), das 10 Binärzahlen der Länge 20 Bit addiert. Dabei können Überläufe vernachlässigt werden. Optimieren Sie die Schaltung im Hinblick darauf, dass das Produkt aus Fläche A und Zeit T minimal wird. Begründen Sie ihre Lösung. Ein Beweis ist nicht erforderlich.

Zu Teil (a) und (c): Geben Sie bitte bei beiden Lösungen je eine Zeichnung für den Addierer an.

10, 10, 20 Punkte

Aufgabe 3

Aus der Vorlesung kennen Sie bereits den Ripple-Carry-Adder zur Addition von zwei Operanden mittels Volladdierer. Um einen Addierer nach demselben Prinzip zu konstruieren, welcher drei Operanden x, y, z sowie zwei Carrybits d und c verarbeitet, benötigen wir einen erweiterten Volladdierer. In Ihrer Erweiterung sollen das d_{out} -Bit mit vier und das c_{out} -Bit mit zwei gewichtet sein. Das bedeutet, das d_{in} -Bit hat das Gewicht zwei und das c_{in} -Bit hat das Gewicht eins.

- Erstellen Sie die vollständige Wertetabelle für die Addierereinheit.
- Minimieren Sie die Funktionen der Ausgänge mit Hilfe von KV-Diagrammen.
- Minimieren Sie außerdem d_{out} mit dem Verfahren von Quine und McCluskey und stellen Sie ihre Lösung als CMOS-Komplexgatter dar.

10, 15, 15