



# FPGA-Entwurf mit VHDL

Sommersemester 2011

## Serie 2

Abgabe: bis Fr. 06.05. um 10 Uhr im Schrein oder per Mail an lwi@informatik.uni-kiel.de.

### Aufgabe 1

Finden Sie die Fehler im folgenden VHDL-Code und korrigieren Sie sie:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity MyUnit_err is
port (
  A  : in std_logic_vector(3 downto 0);
  B  : in std_logic_vector(3 downto 0);
  AB : out std_logic_vector(3 downto 0);
  CO : out std_logic;
);

architecture Behavioral of MyUnit_err is

signal C : std_logic_vector(4 downto 0);
signal S : std_logic_vector(3 downto 0);

signal temp : std_logic <= '0';

begin

S <= A xor B;
C <= A and B;
C[0] <= 0;

AB(0) <= S(0) or C(0);
AB(1) <= S(1) xor C(1);
AB(2) <= S(2) xnor C(2) when S(1) and C(1) == 1
      else S(2) xor C(2);

temp <= (S(1) and C(1) and (S(2) or C(2))) or (S(2) and C(2));

AB(3) <= S(3) xor C(3);
```

```

with temp select
AB(3) <= AB(3) when '0',
      not AB(3) when '1';

CO_temp <= temp and S(3) or temp and C(3) or S(3) and C(3);
CO => CO_temp or C(4);

end Behavioral;

```

10 Punkte

## Aufgabe 2

Die Hardwarebeschreibung aus Aufgabe 1 ist etwas umständlich geschrieben. Was ist die Funktion des Schaltnetzes? Wie lässt sie sich viel einfacher beschreiben?

10 Punkte

## Aufgabe 3 – Programmieraufgabe

### a) ISE-Projekt

Erstellen Sie ein neues Projekt in ISE. Der zu beschreibende FPGA hat folgende Daten:

**Family:** Spartan3

**Device:** XC3S400

**Package:** PQ208

**Speed:** -4

Außerdem stellen Sie als bevorzugte Sprache bitte “VHDL” ein:

**Preferred Language:** VHDL

5 Punkte

### b) RS-Latch

Beschreiben Sie in VHDL ein positiv levelgesteuertes RS-Latch. Benutzen Sie dabei keine Prozesse.

```

entity RS_Latch is
port (
  R : in std_logic;
  S : in std_logic;
  CLK : in std_logic;
  Q : out std_logic;
  NQ : out std_logic
);
end RS_Latch;

```

5 Punkte

### c) JK-Flipflop

Beschreiben Sie in VHDL ein negativ flankengesteuertes JK-Flipflop. Benutzen Sie dazu das in b) generierte RS-Latch als Komponente.

```
entity JK_FF is
port (
  J : in std_logic;
  K : in std_logic;
  CLK : in std_logic;
  Q : out std_logic;
  NQ : out std_logic
);
end JK_FF;
```

10 Punkte

### d) Testbench

Synthetisieren Sie das in c) erstellte JK-Flipflop und simulieren Sie anschließend das Verhalten mit der auf der Homepage zur Verfügung gestellten Testbench. Achten Sie auf die initiale Belegung Ihrer Signale. Verhält sich Ihr JK-Flipflop der Definition entsprechend? Begründen Sie.

10 Punkte

## Zusatzaufgabe 4 – Programmieraufgabe

Beschreiben sie in VHDL ein negativ flankengesteuertes JK-Flipflop mit dem selben Port, wie in 3c). Verwenden Sie jetzt einen Prozess. Synthetisieren und simulieren Sie anschließend mit der gleichen Testbench.

Was hat sich geändert? Was sind Unterschiede in der Hardware? Tipp: Schauen Sie sich beide Syntheserisultate mit "View RTL Schematic" an.

10 Zusatzpunkte

Die Abgabe der Programmieraufgaben soll bitte folgendermaßen erfolgen:

1. Zuerst führen Sie in ISE "Project → Cleanup Project Files" aus.
2. Danach verpacken Sie den Projektordner in ein gepacktes Archiv (.zip, .tar.gz o.ä.).
3. Senden Sie das Archiv per Mail an [lwi@informatik.uni-kiel.de](mailto:lwi@informatik.uni-kiel.de)