



Algorithmenentwurf für massiv parallele Hardware

Aufgaben zur Vorbereitung – Teil III

Bearbeitungszeit: bis Di. 08.05.2012

Aufgabe 1 – Ringkommunikation

Erstellen Sie ein RIVYERA-Projekt, welches eine Ringkommunikation zwischen den FPGAs realisiert. Dazu hält jeder FPGA eine FIFO als Zwischenspeicher der Daten bereit. Die Kommunikation erfolgt folgendermaßen:

1. Die Kommunikation beginnt mit einem Datenwort, welches die Größe des Datenpakets angibt (Anzahl der zu empfangenen und versendenden Datenworte).
2. Nach Auswertung dieses Datenwortes werden alle nachfolgenden Datenworte in der FIFO gespeichert, bis die gewünschte Anzahl erreicht ist.
3. Das Datenpaket wird nun ohne weitere Anfrage an den FPGA-Nachbarn auf die gleiche Weise verschickt, d.h. zuerst wird ein Datenwort gesendet, welches die Größe des Pakets angibt, und anschließend das Datenpaket selbst.
4. Der FPGA wartet nun wieder auf ein neues Datenpaket.

Achtung: Natürlich sollen die Daten nicht unendlich lang im Ring wandern, daher sollen folgende Bedingungen gelten:

- Die Kommunikationsrichtung im Ring ist immer aufwärts.
Bsp.: Bekommt Slot 4 FPGA 3 Daten, so schickt er sie an Slot 4 FPGA 4 weiter. Bekommt Slot 4 FPGA 7 Daten, so schickt er sie an Slot 5 FPGA 0.
- Der letzte FPGA (Slot 15 FPGA 7) stellt eine Ausnahmen dar. Dieser schickt sein Datenpaket an den Host.

Testen Sie Ihr Design indem Sie vom Host ein Datenpaket auf beschriebene Weise an irgendeinen FPGA schicken. Warten Sie bis Sie Daten von Slot 15 FPGA 7 erhalten. Vergleichen Sie diese mit den versendeten Daten.

Hinweis: Um zu überprüfen, ob die Daten wirklich durch den Ring gewandert sind, können Sie jedes Datenwort des Pakets vor dem Versenden vom FPGA um eins inkrementieren lassen. Die vom Host empfangenen Datenworte sollten dann jeweils die entsprechende Differenz zum Original aufweisen, also 128 bei Durchlauf durch die gesamte Maschine.