



## Digitale Systeme Wintersemester 2014/2015

### Serie 6

Ausgabetermin: Mittwoch, 03.12.2014  
Abgabetermin: Montag, 15.12.2013, 08:00 Uhr im Schrein

### Präsenzaufgaben

#### Aufgabe 1

Gegeben seien folgende Ausgabefunktionen:

$$y_1 = \overline{x_2}x_3 + x_1\overline{x_2}\overline{x_3}$$

$$y_2 = x_1\overline{x_2}x_3 + x_2\overline{x_3} + x_1x_3$$

Realisieren Sie diese auf einem PLA (natürlich auf Papier). Geben Sie Ihre Lösungen in der Form von wired AND und wired OR Logik an.

#### Aufgabe 2

Konstruieren und zeichnen Sie zwei verschiedene 10-Bit-Carry-Select-Addierer mit von Ihnen gewählten Aufteilungen. Bestimmen Sie für jeden der beiden Addierer die benötigte Gesamtfläche und die benötigte Gesamtzeit sowie das Produkt aus beiden.

Gegeben sei hierfür folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit 1 ZE.  $A$  ist die Gesamtfläche,  $T$  ist die Gesamtzeit.

### Hausaufgaben

#### Aufgabe 1

Gegeben seien die Funktionen  $y_1$  und  $y_0$ , die in der Tabelle auf der nachfolgenden Seite dargestellt sind.

- Realisieren Sie  $y_0$  auf einem PLA (natürlich auf Papier).  
Geben Sie die Lösung in Form von wired AND und -OR Logik an.
- Realisieren Sie  $y_1$  als CMOS-Komplexgatter.  
Verwenden Sie dabei möglichst wenige Transistoren.

$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	0
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	0	0
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	0	0
1	0	1	1	1	1
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	0

15, 15 Punkte

## Aufgabe 2

Entwerfen Sie ein minimiertes Schaltnetz für einen Kassettenrekorder, das die folgenden Funktionen realisiert:

Der Kassettenrekorder hat zwei Fächer (Decks), in die jeweils eine Kassette eingelegt werden kann. Für den Fall, dass sich in beiden Kassettendecks eine Kassette befindet, wird mit Hilfe eines Schalters  $W$  ausgewählt, welches Deck für die Wiedergabe verwendet wird. Eine Wiedergabe findet statt, sobald mindestens eine Kassette in den Rekorder gelegt und der Wiedergabeknopf  $P$  (Play) gedrückt ist. In dem Fall, dass, während  $P$  gedrückt ist, nur eine Kassette eingelegt ist, wird diese abgespielt, unabhängig davon, ob das Deck, in dem die Kassette liegt, gerade für die Wiedergabe ausgewählt ist oder nicht. Falls eine Wiedergabe stattfindet, wird dies durch ein grünes Lämpchen  $G$  signalisiert.

Zusätzlich hat der Kassettenrekorder einen Rückspulknopf  $R$ . Ist dieser betätigt und befindet sich nur eine Kassette im Rekorder, die nicht gerade abgespielt wird, so wird diese zurückgespult. Befinden sich 2 Kassetten im Rekorder und ist  $R$  gedrückt, so wird die Kassette in dem Fach zurückgespult, das nicht für die Wiedergabe ausgewählt ist. Das Rückspulen einer Kassette kann parallel zur Wiedergabe einer anderen Kassette stattfinden. Eine Rückspulung wird durch ein blaues Lämpchen  $B$  signalisiert.

Bitte beachten Sie:

- In dieser Aufgabe wird davon ausgegangen, dass in dieses Gerät nur Endlos-Kassetten eingelegt werden. Sie brauchen sich also keine Gedanken über die Fälle zu machen, bei denen der Anfang oder das Ende einer Kassette erreicht wird.
- Die Motorsteuerung ist nicht Teil dieser Aufgabe.

Orientieren Sie sich bei der Bearbeitung dieser Aufgabe bitte an den folgenden Richtlinien:

- Geben Sie Ihre Ein- und Ausgänge eindeutig an.
- Stellen Sie die vollständige Wertetabelle für die Schaltung auf.
- Minimieren Sie die disjunktiven Normalformen der Ausgangsgleichungen.
- Erstellen Sie ein Schaltnetz basierend auf Invertern, AND- und OR-Gattern.

40 Punkte

### Aufgabe 3

Gegeben sei folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit 1 ZE.  $A$  ist die Gesamtfläche,  $T$  ist die Gesamtzeit.

- (a) Konstruieren Sie einen 44-bit Carry Select Adder, der eine Addition in  $T = 11$  ZE durchführt.
- (b) Ist es möglich, einen 44-bit Carry Select Adder zu entwerfen, der die Addition in weniger als 11 ZE durchführt? Wenn ja, geben Sie eine mögliche Konfiguration an (eine Zeichnung ist nicht notwendig).
- (c) Konstruieren Sie einen 32-bit Carry Select Adder, der Ihrer Ansicht nach möglichst minimal in Hinsicht auf Produkt von Fläche und Zeit ist (geben Sie die Berechnung des AT-Produktes an). Begründen Sie Ihre Lösung, ein Beweis ist nicht erforderlich.

Zu Teil (a) und (c): geben Sie bitte bei beiden Lösungen je eine Zeichnung für den Addierer an.

10, 5, 15 Punkte