



Digitale Systeme Wintersemester 2014/2015

Serie 10

Ausgabetermin: Mittwoch, 14.01.2015

Abgabetermin: Montag, 26.01.2015, 08:00 Uhr im Schrein

Bitte notieren Sie Ihre Namen sowie Ihre Gruppennummer auf der Abgabe!

Präsenzaufgaben

Wiederholung

- Welchen Zahlenbereich deckt man mit 9 Bits ab, wenn für negative Zahlen das 2-Komplement verwendet wird?
- Welchen dezimalen Zahlenwert hat die 2-adische Zahl $(10011101001)_2$, wobei negative Zahlen im 2-Komplement dargestellt werden?
- Welcher Dezimalzahl entspricht der folgenden Fließkommazahl im IEEE 754 32-bit Format:
 $(01000001000110010011101000101110)_{IEEE754}$
- Stellen Sie die Dezimalzahl $(47,8)_{10}$ im IEEE 754 32-bit Gleitkommaformat dar.
- Zeichnen Sie ein J-K-Master-Slave-Flipflop mit Hilfe von Booleschen Gattern.
- Geben Sie die Wertetabelle eines 4-auf-1-Multiplexers an.

Hausaufgaben

Aufgabe 1 - Kurzfragen

- Wieviele Kästchen hat ein KV-Diagramm für eine boolesche Funktion mit 6 Eingabevariablen?
- Erklären Sie kurz die Begriffe Schaltnetz und Schaltwerk.
Gehen Sie dabei insbesondere auf den Unterschied zwischen Schaltnetz und Schaltwerk ein.

2^{1/2}, 2^{1/2} Punkte

Aufgabe 2

Um die Zulassung zur Abschlussprüfung eines Moduls zu erreichen, müssen die Studierenden zunächst einen Vortest bestehen. Dieser Test besteht aus vier Aufgaben. Die korrekte Lösung einer Aufgabe wird mit einem Häkchen versehen. Sollten zwei Aufgaben nicht korrekt gelöst worden sein, so gilt der Test als nicht bestanden und es wird mit der Korrektur des Tests einer/eines anderen Studierenden vorgefahren. Sollten nach der Korrektur aller vier Lösungen einer/eines Studierenden keine zwei falschen Lösungen festgestellt worden sein, so gilt der Test als bestanden und es wird ebenfalls mit der Korrektur des Tests einer/eines anderen Studierenden vorgefahren.

Hinweise:

- Bitte beachten Sie, dass der Automat nur eine Aufgabe je Takt bearbeiten kann.
- Auch wenn die ersten drei Aufgaben korrekt waren, soll die vierte Aufgabe noch überprüft werden.

Bearbeitungsrichtlinien:

- Identifizieren Sie die Ein- und Ausgänge des Automaten. Überlegen Sie sich eine sinnvolle Codierung für die Ein- und Ausgänge. Geben Sie außerdem alle nötigen Zustände an.
- Zeichnen Sie den vollständigen Automatengraphen.
- Geben Sie die zugehörige Wertetabelle an und minimieren Sie die Ausgabe- und Folgezustands-Funktionen.
- Zeichnen Sie das zugehörige Schaltwerk des Automaten als FPLA mit T-Flipflops.

10, 15, 10, 10 Punkte

Aufgabe 3

Entwerfen Sie eine 4-Bit-ALU (d.h. die beiden Operanden (OP0, OP1) und das Ergebnis sind jeweils 4 Bit breit), die folgende Operationen ausführen kann:

- bitweises XOR der beiden Operanden
- Addieren ohne Berücksichtigung des Carry-Flags ($\text{Erg} := \text{Op0} + \text{Op1}$)
- Addieren unter Berücksichtigung des Carry-Flags ($\text{Erg} := \text{Op0} + \text{Op1} + \text{CF}$)
- bitweises AND der beiden Operanden
- Subtrahieren ohne Berücksichtigung des Carry-Flags ($\text{Erg} := \text{Op0} - \text{Op1}$)
- Subtrahieren unter Berücksichtigung des Carry-Flags ($\text{Erg} := \text{Op0} - \text{Op1} + \text{CF}$)

Die ALU soll ein Carry-Flag und ein Zero-Flag produzieren, sonst keine Flags.

- Überlegen Sie sich einen geeigneten OP-Code, den sie in Form einer Tabelle angeben.
- Zeichnen Sie eine Realisierung unter Verwendung von Gattern, Volladdierern, Multiplexern und Flipflops (letztere zur Speicherung der Flags). Die ALU soll eine arithmetische und eine logische Einheit erkennen lassen.
- Geben Sie eine Befehlsfolge an, mit der Sie mit dieser ALU zwei 12-Bit-Zahlen addieren können.
- Geben Sie drei verschiedene Befehle an, mit denen Sie mit dieser ALU jeden beliebigen gegebenen 4-Bit-Operanden auf 0 setzen können (d.h., das durch ihren jeweiligen Befehl produzierte Ergebnis soll 0 sein). Den zweiten Operanden dürfen Sie dabei frei wählen.

10, 25, 10, 5 Punkte